

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-335480

(43)Date of publication of application : 18.12.1998

(51)Int.Cl.

H01L 21/8238  
H01L 27/092

(21)Application number : 09-148015

(71)Applicant : NEC CORP

(22)Date of filing : 05.06.1997

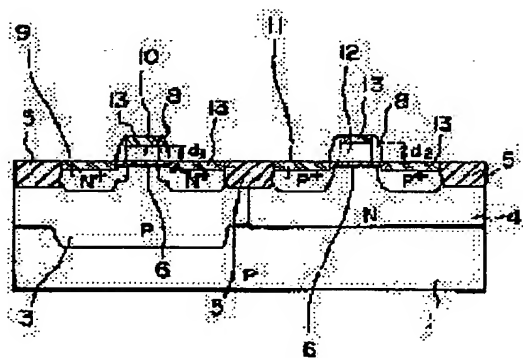
(72)Inventor : SHIDA SATOSHI

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To suppress the formation of a depletion layer in the gate electrode of an NMOS transistor, to shorten the manufacturing process of a semiconductor device, and then, to reduce the manufacturing cost of the device, by making the thickness of the N+ polycrystalline silicon of the NMOS transistor thinner than that of the P+ polycrystalline silicon of a PMOS transistor.

**SOLUTION:** A gate electrode of an NMOS transistor is composed of an N+ polycrystalline silicon film 10, and that of a PMOS transistor is composed of a P+ polycrystalline silicon film 12. The thickness d1 of the film 10 is set to a value smaller than the thickness d2 of the film 12. Since the gate electrode 10 of the NMOS transistor is different from the gate electrode 12 of the PMOS transistor, a source-drain area having a desired shape and an excellent gate electrode can be obtained simultaneously, even when the source-drain area and gate electrode are formed through a single ion implantation. Therefore, no other additional process than a thickness changing process for the gate electrode is required.



## LEGAL STATUS

[Date of request for examination]

05.06.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3077630

[Date of registration]

16.06.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3077630号  
(P3077630)

(45) 発行日 平成12年 8 月14日 (2000. 8. 14)

(24) 登録日 平成12年 6 月16日 (2000. 6. 16)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

H 0 1 L 21/8238

H 0 1 L 27/08

3 2 1 D

27/092

請求項の数 5 (全 8 頁)

(21) 出願番号 特願平9-148015

(22) 出願日 平成 9 年 6 月 5 日 (1997. 6. 5)

(65) 公開番号 特開平10-335480

(43) 公開日 平成10年12月18日 (1998. 12. 18)

審査請求日 平成 9 年 6 月 5 日 (1997. 6. 5)

(73) 特許権者 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 志田 聡

東京都港区芝五丁目 7 番 1 号 日本電気  
株式会社内

(74) 代理人 100082935

弁理士 京本 直樹 (外 2 名)

審査官 恩田 春香

(56) 参考文献 特開 平 4 - 32260 (J P, A)

特開 平 8 - 46057 (J P, A)

特開 平 9 - 232445 (J P, A)

特開 平 7 - 153847 (J P, A)

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

1

(57) 【特許請求の範囲】

【請求項 1】 NMOSトランジスタとPMOSトランジスタとを有する半導体装置において、前記NMOSトランジスタのゲート電極と前記PMOSトランジスタのゲート電極との厚さが異なり、前記NMOSトランジスタのゲート電極の厚さが、前記PMOSトランジスタのゲート電極の厚さよりも薄いことを特徴とする半導体装置。

【請求項 2】 前記NMOSトランジスタのゲート電極がN+型の多結晶シリコン膜で形成され、前記PMOSトランジスタのゲート電極がP+型の多結晶シリコン膜で形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記NMOSトランジスタのゲート電極がN+型のアモルファスシリコン膜で形成され、前記P

2

MOSトランジスタのゲート電極がP+型のアモルファスシリコン膜で形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 第 1 のトランジスタ領域および第 2 のトランジスタ領域を有する半導体基板上にゲート酸化膜を形成する工程と、前記ゲート酸化膜上にシリコン膜を形成する工程と、前記第 2 のトランジスタ領域上に第 1 のマスク層を形成して、当該マスク層をマスクとして前記第 1 のトランジスタ領域の前記半導体基板中にイオン注入により第 1 導電型のウェルを形成する工程と、前記第 1 のマスク層をマスクとして前記第 1 のトランジスタ領域上の前記シリコン膜を削り薄くする工程と、前記第 1 のトランジスタ領域上に第 2 のレジスト膜を形成する工程と、前記第 2 のレジスト膜をマスクとして前記第 2 のトランジスタ領域の前記半導体基板中にイオン注入によ

## 3

り第2導電型のウェルを形成する工程と、前記第1および第2のトランジスタ領域上の前記シリコン膜をパターンニングしてゲート電極を形成する工程と、前記第1のトランジスタ領域の前記ゲート電極および前記半導体基板の表面に対し同時にイオン注入して前記第2導電型のソース領域とドレイン領域を形成するとともに当該ゲート電極を高濃度の第2導電型にドーピングする工程と、前記第2のトランジスタ領域の前記ゲート電極および前記半導体基板の表面に対し同時にイオン注入して前記第1導電型のソース領域とドレイン領域を形成するとともに当該ゲート電極を高濃度の第1導電型にドーピングする工程とを含むことを特徴とする半導体装置の製造方法。

【請求項5】 前記シリコン膜をパターンニングしてゲート電極を形成する工程の前に、前記第1および第2のトランジスタ領域のうち一方のトランジスタ領域の前記シリコン膜の表面に不純物をイオン注入する工程をさらに含むことを特徴とする請求項4記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【発明の属する技術分野】 本発明は、半導体装置とその製造方法に関し、特に、NMOSトランジスタのゲート電極に $N^+$ 型のシリコンを用い、PMOSトランジスタのゲート電極に $P^+$ 型のシリコンを用いるPNゲートタイプのCMOS集積回路の構造と製造方法に関する。

## 【0001】

【従来の技術】 表面チャネル型のMOSトランジスタは、埋込チャネル型のMOSトランジスタに比べて、製造ばらつきがトランジスタ特性へ及ぼす影響が小さい。このため、表面チャネル型のMOSトランジスタはしきい値電圧を下げて駆動能力を上げることが容易であり、LSIの微細化、高速化に向いている。表面チャネル型でCMOSトランジスタを形成するためには、NMOSトランジスタのゲート電極として $N^+$ 型のシリコンを用い、PMOSトランジスタのゲート電極として $P^+$ 型のシリコンを用いる。このような表面チャネル型のCMOSトランジスタを、特開昭62-281462号公報に記載されたものを例として、以下に説明する。

【0002】 図5に、従来のCMOSトランジスタの断面構造を示す。P型ウェル3上にNMOSトランジスタが形成され、このゲート電極を $N^+$ 多結晶シリコン10で形成する。一方、N型シリコン基板2上にはPMOSトランジスタが形成され、ゲート電極を $P^+$ 多結晶シリコン12で形成する。

【0003】 図5の構造を実現するための製造工程を図6(a)～(c)に示す。N型シリコン基板2に周知の方法によりP型ウェル3を形成後、素子分離酸化膜5とゲート酸化膜6を形成する。そして、多結晶シリコン膜7と金属膜25(Ti)を全面に成長した後、パターンニングされたフォトリソスト26をマスクとして金属膜25と多結晶シリコン7の加工を行う(図6(a))。次

## 4

に、フォトリソスト26を除去してPMOSトランジスタ領域にフォトリソスト27を形成し、ヒ素をNMOSトランジスタ領域のソース・ドレイン領域とゲート電極にイオン注入する。このとき、ゲート電極となる多結晶シリコン膜7には、金属膜25を突き抜けて不純物が注入され、多結晶シリコン膜7は、ゲート電極10となる(図6(b))。次に、フォトリソスト27を除去してNMOSトランジスタ領域にフォトリソスト28を形成し、ボロンをPMOSトランジスタ領域のソース・ドレイン領域とゲート電極にイオン注入する。この場合も、多結晶シリコン膜7には金属膜25を突き抜けて不純物が注入され、ゲート電極12となる(図6(c))。その後、熱処理を施してソース・ドレイン領域の不純物を活性化すると同時に、ゲート電極となる多結晶シリコン膜7を、NMOSトランジスタでは $N^+$ 型に、PMOSトランジスタでは $P^+$ 型にする。以上の工程により、図5の構造が完成する。

【0004】 一般に、トランジスタの性能を向上させるためには、ゲート電極にバイアスを印加したときに、ゲート電極中に空乏層が形成されないようにしなければならない。そのためには、不純物のイオン注入とその後の熱処理によって、多結晶シリコン膜7のゲート酸化膜6に接する領域に高濃度の不純物を添加する必要がある。上述した従来の製造方法では、MOSトランジスタのソース・ドレイン領域を形成するための不純物のイオン注入と同時に、ゲート電極にも不純物を添加する。PMOSトランジスタのソース・ドレイン領域11の形成には、ボロンがイオン種として用いられるが、ボロンは質量数が小さいためシリコン中に深く入りやすい。このため、多結晶シリコン膜7に注入されるボロンが、イオン注入やその後の熱処理でゲート酸化膜中に達してしまうと、ゲート酸化膜の信頼性を著しく劣化させることが知られている。さらに、製造ばらつきによるトランジスタ特性のばらつきも著しく大きくなる。一方、サブミクロンのゲート長を有するNMOSトランジスタのソース・ドレイン領域9の形成には、浅い接合を形成するために質量数の大きなヒ素がイオン種として用いられる。このとき多結晶シリコン膜7が厚いと、十分な量のヒ素が多結晶シリコン膜7のゲート酸化膜に接する領域に到達しないため、ゲート電極が空乏化を起し駆動能力が低下する。

【0005】 上述の製造方法では、NMOSトランジスタに用いられる多結晶シリコン膜7と、PMOSトランジスタに用いられる多結晶シリコン膜7は、同じ膜厚を有している。したがって、多結晶シリコン膜7の膜厚は、NMOSトランジスタとPMOSトランジスタの両方に対して最適化をしなければならない。しかし、ボロンの突き抜けやゲート電極の空乏化を回避するために、ゲート電極の厚さを基準としてイオン注入の加速電圧を調整すると、トランジスタのソース・ドレイン領域の深

さや濃度に影響が及び、NMOSTランジスタとPMOSTランジスタの各々のランジスタ特性が大きく変わってしまうという問題点がある。したがって、ゲート電極の形成とソース・ドレイン領域の形成を同時に行う場合、ゲート電極を、NMOSTランジスタとPMOSTランジスタの双方に対して最適化することは困難であった。

【0006】以上は、ゲート電極として、多結晶シリコン膜7と金属膜25を成膜後にゲート電極を加工するポリサイドゲート構造のMOSTランジスタの例であるが、サリサイド構造のMOSTランジスタ（ソース・ドレイン領域形成まではゲート電極として多結晶シリコンのみを用い、その後ゲート電極とソース・ドレイン領域の表面を金属シリサイド化する）においても同様な問題を生じる。

【0007】ここで、上述した問題を避けたCMOSTランジスタの製造方法が、同公報に開示されている。これはソース・ドレイン領域の形成とは独立して、多結晶シリコン膜にイオン注入を施す方法であり、図7(a)～(c)および図8(a)～(b)を用いて、以下に説明する。

【0008】はじめに、N型シリコン基板2上にP型ウェル3、素子分離酸化膜5およびゲート酸化膜6を形成した後、多結晶シリコン膜7を全面に成長する。そしてフォトレジスト29を形成してパターニングし、NMOSTランジスタのゲート電極部分より若干広い領域にリンやヒ素のイオン注入を行い、該領域を $N^+$ 型にする

(図7(a))。次に、フォトレジスト30を新たに形成してパターニングし、PMOSTランジスタのゲート電極部分より若干広い領域にボロンをイオン注入して、該領域を $P^+$ 型にする(図7(b))。次に、全面に金属膜25を成長し、フォトレジスト26をマスクとして金属膜25と多結晶シリコン膜7の加工を行う(図7(c))。なお、フォトレジスト26は、不純物を注入した領域よりも若干狭い幅で形成される。次に、PMOSTランジスタ領域にフォトレジスト27を形成し、リンやヒ素をNMOSTランジスタのソース・ドレイン領域にイオン注入する。このとき、ゲート電極にもイオン注入される(図8(a))。次に、NMOSTランジスタ領域にフォトレジスト28を形成し、ボロンをPMOSTランジスタのソース・ドレイン領域にイオン注入する。この場合も、ゲート電極にイオン注入される(図8(b))。その後、熱処理を施して、ソース・ドレイン領域の不純物を活性化する。

【0009】

【発明が解決しようとする課題】図5および図6の従来技術では、ランジスタのソース・ドレイン領域に対するイオン注入と、ゲート電極に対するイオン注入を同時に行うため、ゲート電極の特性劣化を防ぎながら所望のランジスタ特性を得ることが困難であった。

【0010】また、ランジスタのソース・ドレイン領域に対するイオン注入とは別に、ゲート電極に対するイオン注入を行う図7および図8の従来技術も、以下の2つの大きな問題点がある。一つは、ゲート電極を形成する際が多結晶シリコンの加工が難しくなることである。上述した従来技術では、多結晶シリコン膜7において、不純物を添加しない領域と $N^+$ 型の領域10ならびに $P^+$ 型の領域12を同時にエッチングする。このとき、不純物が注入された領域のエッチングレートは、不純物が注入されていない領域のエッチングレートよりも早くなる。特に、ソース・ドレイン領域の活性化の前にゲート電極の活性化を行っていた場合は、この現象が顕著になる。したがって、エッチングレートの遅い領域のエッチングが終了したときには他の領域ではオーバーエッチングが進行してしまい、素子の特性や信頼性、あるいは分離特性に大きな影響を及ぼす。すなわち、CMOSTランジスタのゲート電極に対してオーバーエッチングが施されてしまうため、ゲート電極の寸法が細くなる、形状の悪化に起因する性能低下を引き起こす、ゲート酸化膜にダメージを与える、ホットキャリア耐性などの信頼性の低下を招く、などの問題点がある。この問題は、リンやヒ素を添加したNMOSTランジスタで顕著に現れる。これは、特にリンを添加した多結晶シリコンのエッチングレートは、なにも添加しない多結晶シリコンのエッチングレートよりもかなり高いためである。

【0011】もう一つの問題点は、製造工程が長くなる点である。多結晶シリコン膜を成長後にN型の不純物とP型の不純物をそれぞれ所定の位置に添加するために、図5の従来技術に対して2回のマスキング工程の追加(図7(a)および(b))が必要となり、その結果、製造コストが高くなってしまいう問題点がある。

【0012】本発明は、特に、微細化されたCMOSLSIに好適な半導体装置を得るものである。

【0013】本発明の目的は、少ない製造工程で、高性能および高信頼性を有するCMOSTランジスタを形成することである。

【0014】本発明の他の目的は、マスキング工程を増やすことなく、CMOSTランジスタのNMOSTランジスタとPMOSTランジスタに対してそれぞれ独立に特性の最適化と信頼性の確保を図ることである。

【0015】

【課題を解決するための手段】本発明の半導体装置は、NMOSTランジスタとPMOSTランジスタのゲート電極の厚さが異なって形成されている。微細化したCMOSLSIでは、NMOSTランジスタのゲート電極に $N^+$ 型のシリコンを用い、PMOSTランジスタのゲート電極には $P^+$ 型のシリコンを用いるPNゲートタイプが使用される。すなわち、NMOSTランジスタのゲート電極には質量数の大きいヒ素が、PMOSTランジスタのゲート電極には質量数の小さいボロンが高濃度にド

## 7

ーピングされる。このため、本願発明では、NMOSTランジスタの $N^+$ 多結晶シリコンの厚さを、PMOSTランジスタの $P^+$ 多結晶シリコンの厚さより薄く設定する。この結果、NMOSTランジスタにおいてはゲート電極中に空乏層が形成されないようにすることが容易となり、PMOSTランジスタにおいてはボロンのゲート酸化膜への突き抜けを防止できるため、性能を劣化させずに特性ばらつきの低減や信頼性の確保が容易に行うことができる。

【0016】また本発明の半導体装置は、主に、PMOSTランジスタまたはNMOSTランジスタを形成する第1および第2のランジスタ領域を有する半導体基板上にゲート酸化膜を設けた後、ゲート電極となるシリコン膜を形成する工程と、前述の第1および第2のランジスタ領域のうち一方のランジスタ領域のシリコン膜の膜厚を変える工程と、ゲート電極をパターニングする工程と、このゲート電極とランジスタ領域に、同時にイオン注入する工程とを含む製造方法によって形成される。したがって本製造方法によれば、NMOSTランジスタのゲート電極の厚さはPMOSTランジスタのゲート電極とは独立に設定できるため、お互いのゲート電極の厚さを考慮してイオン注入条件を設定しなくてもよく、各々のゲート電極の厚さに最適な不純物導入のためのイオン注入条件を設定することができる。この結果、所望のソース・ドレイン領域の形状と同時に、良好なゲート電極も得られることとなる。

【0017】

【発明の実施の形態】本発明の第1の実施の形態について、図1および図2を参照して説明する。図1は本発明のCMOSTランジスタの構造を示す模式的な構造断面図である。P型シリコン基板1にP型ウェル3とN型ウェル4が設けられ、P型ウェル3にはNMOSTランジスタが、N型ウェル4にはPMOSTランジスタが形成される。NMOSTランジスタのゲート電極は $N^+$ 多結晶シリコン膜10から成り、PMOSTランジスタのゲート電極は $P^+$ 多結晶シリコン膜12から成る。 $N^+$ 多結晶シリコン膜10の厚さ $d_1$ は、 $P^+$ 多結晶シリコン膜12の厚さ $d_2$ より小さく設定される。NMOSTランジスタのソース・ドレイン領域となる $N^+$ 拡散層領域9および $N^+$ 多結晶シリコン膜10、ならびにPMOSTランジスタのソース・ドレイン領域となる $P^+$ 拡散層領域11および $P^+$ 多結晶シリコン膜12の表面には、金属シリサイド層13が設けられている。

【0018】以下、本実施の形態の製造工程を、図2(a)～(d)を用いて詳細に説明する。はじめに、ボロンを $10^{15} \sim 10^{16} \text{ cm}^{-3}$ 含んだP型シリコン1上に、公知の技術により厚さ400nm程度のシリコン酸化膜から成る素子分離酸化膜5を形成する。そして表面に厚さ20nm程度の酸化膜を設けた後NMOSTランジスタが形成される領域にフォトリソ形成し(図中

## 8

省略)、PMOSTランジスタ領域にリンをイオン注入してN型ウェル4を設ける。イオン注入は、加速電圧800KV、ドーズ $2 \times 10^{13} \text{ cm}^{-2}$ と、加速電圧240KV、ドーズ $5 \times 10^{12} \text{ cm}^{-2}$ と、加速電圧70KV、ドーズ $7 \times 10^{12} \text{ cm}^{-2}$ の条件で3回行う。1回目の注入はN型ウェルの深さを確保するため、2回目の注入はPMOSTランジスタの素子分離とPMOSTランジスタのパンチスルーによるラッチアップ防止のため、3回目の注入は所望のPMOSTランジスタ特性を得るために行うものである。この場合、N型ウェル4の表面リン濃度は、 $1 \sim 5 \times 10^{17} \text{ cm}^{-3}$ となる。その後、フォトリソを除去して、厚さ5nm程度のゲート酸化膜6を公知の技術により形成し、さらに全面に厚さ200nm程度のアモルファスシリコンを成長し、800℃程度の熱処理を施して多結晶シリコン膜7とするとともに、注入したリンを活性化させる(図2(a))。また、適宜、アモルファスシリコンのままにしてもよい。

【0019】次に、フォトリソ15をマスクとするボロンのイオン注入により、NMOSTランジスタ領域にP型ウェル3を設ける。イオン注入は、加速電圧400KV、ドーズ $3 \times 10^{13} \text{ cm}^{-2}$ と、加速電圧200KV、ドーズ $5 \times 10^{12} \text{ cm}^{-2}$ と、加速電圧80KV、ドーズ $8 \times 10^{12} \text{ cm}^{-2}$ の条件で3回行う。この理由は、NMOSTランジスタを形成したときと同様である。この場合、P型ウェル3の表面ボロン濃度は、 $1 \sim 5 \times 10^{17} \text{ cm}^{-3}$ となる。その後、フォトリソ15をマスクとして多結晶シリコン膜7を50nm程度エッチングする(図2(b))。

【0020】次に、フォトリソ15を除去し、800℃の熱処理を行い、注入したボロンを活性化させる。その後、公知の技術によりゲート電極のパターニングを行う。このときNMOSTランジスタ領域とPMOSTランジスタ領域で50nm程度の膜厚差があるが、ゲート酸化膜6と多結晶シリコン7とのエッチング選択比を調整するなどしてオーバーエッチング条件を最適化しておけば、ランジスタ特性や信頼性へ及ぼす影響を小さくできる。

【0021】その後、公知の技術により、側壁酸化膜8を利用して、NMOSTランジスタのソース・ドレイン領域をLDD構造で形成する。まず、PMOSTランジスタ領域にフォトリソを形成し、NMOSTランジスタ領域にヒ素を加速電圧20KV、ドーズ $2 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入した後、フォトリソを除去して全面に60nm程度の酸化膜を成長してエッチバックする(図示省略)。これにより側壁酸化膜8が形成される。その後、フォトリソ16をマスクとして、加速電圧40KV、ドーズ $1 \sim 5 \times 10^{15} \text{ cm}^{-2}$ の範囲で再度ヒ素をイオン注入する。このとき、NMOSTランジスタ部の多結晶シリコン膜7が $N^+$ 多結晶シリコン膜10となる(図2(c))。

【0022】次に、フォトレジスト17をマスクとしたボロンのイオン注入により、PMOSTランジスタのソース・ドレイン領域を形成する。イオン注入は、加速電圧10KV程度、ドーズ1~5E15cm<sup>-2</sup>の範囲で行う。このとき、PMOSTランジスタ領域の多結晶シリコン膜7がP<sup>+</sup>多結晶シリコン膜12となる(図2

(d))。本実施の形態では、PMOSTランジスタに関してはLDD構造をとっていないが、適宜形成すればよい。

【0023】そして、1000℃程度のランプアニールを行い、結晶性の回復と不純物の再分布を施す。このランプアニールにより、N<sup>+</sup>多結晶シリコン膜10とP<sup>+</sup>多結晶シリコン膜12の、ゲート酸化膜6に接する領域における電氣的に活性化した不純物濃度が十分に上がる。その後、公知の技術を用いてシリコンの表面に厚さ20nm程度のC<sub>60</sub>シリサイド層13を形成し、図1の構造が完成する。その後、公知の技術により下地層間膜の形成、コンタクトの開孔、電極の形成等を行い、CMOSLSIが完成する。

【0024】以上の説明から明らかなように、本実施の形態ではNMOSTランジスタのゲート電極10がPMOSTランジスタのゲート電極12と異なるため、ゲート電極に対するイオン注入をソース・ドレイン領域を形成するためのイオン注入と兼用しても、所望のソース・ドレイン領域の形状と良好なゲート電極が同時に得られることとなる。さらに、図5の従来技術と比較した場合は、ゲート電極の厚さを変更する工程を追加するだけで良い。

【0025】第1の実施の形態においては、P型ウェル3をN<sup>+</sup>拡散層領域9を含む領域に設けている。このCMOSTランジスタに対して、さらにドレイン容量を低くするものとして、本発明の第2の実施の形態を、図3に示す。本実施の形態においては、P<sup>+</sup>型シリコン基板20上のP<sup>-</sup>型シリコン層21にNMOSTランジスタが形成されており、P型ウェル3は、NMOSTランジスタのソース・ドレイン領域の外周部より内側に設けられる。かかる構造は、第1の実施の形態の図2(b)に示すフォトレジスト15のパターニング領域を、ゲート電極のまわりに限定することにより実現する。

【0026】次に、本発明の第3の実施の形態を、図4(a)~(d)を用いて詳細に説明する。本実施の形態は、第1の実施の形態に対してPMOSTランジスタ領域の多結晶シリコン膜7にリンを添加し、かかる多結晶シリコン膜のエッチングレートを上げるものである。

【0027】はじめに、第1の実施の形態と同様にして、ボロンを10<sup>15</sup>~10<sup>16</sup>cm<sup>-3</sup>含んだP型シリコン基板1に、厚さ400nm程度のシリコン酸化膜から成る素子分離酸化膜5と、厚さ5nm程度のゲート酸化膜6と、多結晶シリコン膜7とを形成する(図4

(a))。さらに、第1の実施の形態と同様の条件でボ

ロンを3回イオン注入してP型ウェル3を形成し、フォトレジスト15をマスクとして多結晶シリコン膜7を50nm程度エッチングする(図4(b))。次に、フォトレジスト22をマスクとするリンのイオン注入によりN型ウェル4を形成する。このイオン注入は、加速電圧1MV、ドーズ2E13cm<sup>-2</sup>と、加速電圧350KV、ドーズ5E12cm<sup>-2</sup>と、加速電圧220KV、ドーズ7E12cm<sup>-2</sup>の条件で3回行う。その後、多結晶シリコン膜7の表面をN型化するために、加速電圧30KV、ドーズ5E14cm<sup>-2</sup>程度で再度リンのイオン注入を行う(図4(c))。次に、フォトレジスト22を除去後、1000℃程度のランプアニールを行って、イオン注入した不純物を活性化する。その後、ゲート電極のパターニングを行う。例えば、反射防止膜とフォトレジストから成るマスク材23をマスクとするエッチングにより、多結晶シリコン膜7を加工する(図4

(d))。その後は第1の実施の形態と同様な工程を経てCMOSTランジスタが完成する。

【0028】本実施の形態においては、ゲート電極の加工が容易になるという利点がある。NMOSTランジスタ領域とPMOSTランジスタ領域とで多結晶シリコン膜の膜厚差が50nm程度あるが、膜厚の厚いPMOSTランジスタ領域の多結晶シリコン膜の表面をN型化してエッチングレートを大きくすることにより、NMOSTランジスタ領域とPMOSTランジスタ領域とで多結晶シリコン膜のジャストエッチング時間をほぼ等しく設定できるようになる。表面がN型化されたPMOSTランジスタのゲート電極は、後のP<sup>+</sup>拡散層領域形成のためのイオン注入時(図2(d)参照)に、より多くのボロンが添加されてP<sup>+</sup>型化する。従って、エッチング時に多結晶シリコン膜の表面をN型化しても問題点はない。

【0029】

【発明の効果】本発明の効果は、微細化したCMOSLSIにおいて、NMOSTランジスタとPMOSTランジスタの双方に対して、ランジスタの信頼性を確保しつつランジスタ性能の向上を図ることができる点にある。

【0030】本発明ではゲート電極の厚さをNMOSTランジスタは薄く、PMOSTランジスタは厚く設定することにより、NMOSTランジスタにおいてはゲート電極中に空乏層が形成されないようにして性能向上を図ることが容易となり、一方、PMOSTランジスタにおいてはボロンのゲート酸化膜への突き抜けを防止できるため、性能を劣化させずに特性ばらつきの低減や信頼性の確保が容易となる。例えば、ゲート長が0.18μm程度のCMOSLSIにおいては、実施の形態に示したようにNMOSTランジスタに対して150nmのゲート電極、PMOSTランジスタに対して200nmのゲート電極を設定する。これにより、NMOSTランジス

タ、PMOSトランジスタの双方に200nmのゲート電極を用いていた従来技術に比較すると、PMOSトランジスタの性能や信頼性を維持したまま、NMOSトランジスタの駆動能力を15%程度向上させることができる。

【0031】さらに、本発明は、ウェルの形成時に用いるフォトリソをマスクとしてゲート電極を削ることにより、図5および図6に示した従来技術に対しては1工程の追加により実現が可能となる。また、図7および図8に示した従来技術と比較すると、フォトマスク1枚分のマスキング工程を削減しながら、図5および図6の従来技術の課題を解決でき、オーバーエッチングの問題も生じない。ここで、従来技術にウェルを構成することを考慮した場合は、相対的に、本願発明はさらに工程が削減されることとなる。

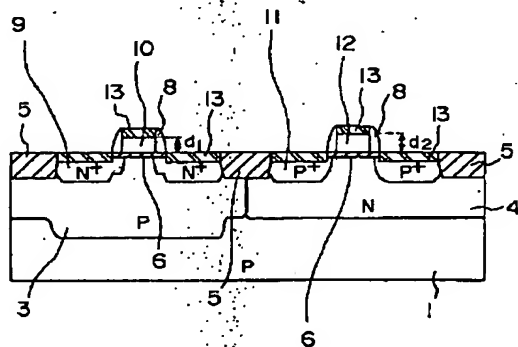
【0032】なお、上述した実施の形態は、本願発明を制限するものではなく、本願発明の要旨を変更しない範囲で種々の変化が考えられる。例えば、NMOSトランジスタ領域の多結晶シリコンをエッチングする代わりに、PMOSトランジスタ領域の多結晶シリコンをさらに厚く形成してもよい。また、半導体基板と同じ導電型のウェルやLDD構造の不純物拡散層領域などは、必要に応じて設ければよく、N型およびP型不純物拡散層を形成するためのイオン種に関しても、適宜適当なものを使用すればよい。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施の形態の半導体装置の断面構造図。

【図2】本発明の第1の実施の形態の半導体装置の製造

【図1】



工程断面図。

【図3】本発明の第2の実施の形態の半導体装置の断面構造図。

【図4】本発明の第3の実施の形態の半導体装置の製造工程断面図。

【図5】従来の半導体装置の構造断面図。

【図6】従来の半導体装置の製造工程断面図。

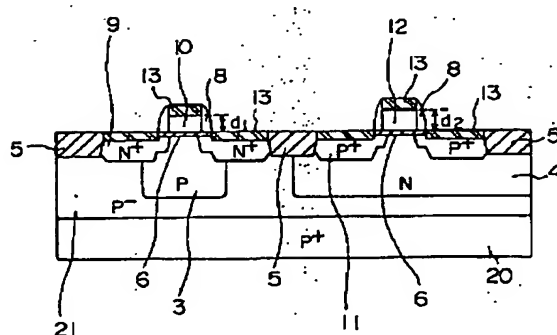
【図7】従来の半導体装置の製造工程断面図。

【図8】図7に続く製造工程断面図。

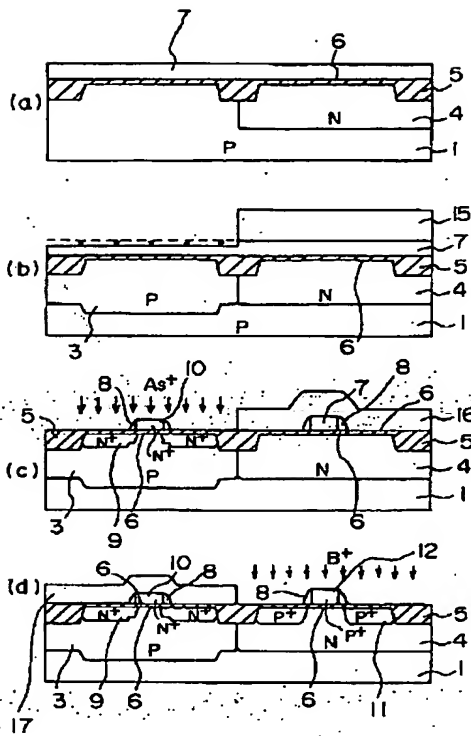
#### 【符号の説明】

- |           |                         |
|-----------|-------------------------|
| 1         | P型シリコン基板                |
| 2         | N型シリコン基板                |
| 3         | P型ウェル                   |
| 4         | N型ウェル                   |
| 5         | 素子分離酸化膜                 |
| 6         | ゲート酸化膜                  |
| 7         | 多結晶シリコン膜                |
| 8         | 側壁酸化膜                   |
| 9         | N <sup>+</sup> 拡散層領域    |
| 10        | N <sup>+</sup> 多結晶シリコン膜 |
| 11        | P <sup>+</sup> 拡散層領域    |
| 12        | P <sup>+</sup> 多結晶シリコン膜 |
| 13        | 金属シリサイド層                |
| 15~17     | フォトリソ                   |
| 20        | P <sup>+</sup> 型シリコン層   |
| 21        | P <sup>-</sup> 型シリコン層   |
| 23        | マスク材                    |
| 25        | Ti膜                     |
| 22, 26~30 | フォトリソ                   |

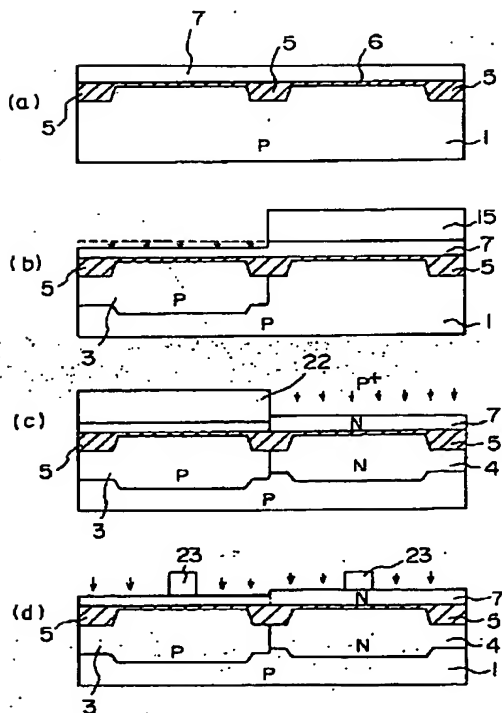
【図3】



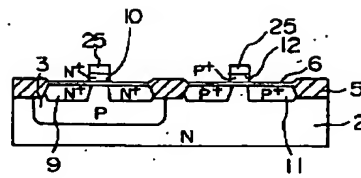
【図2】



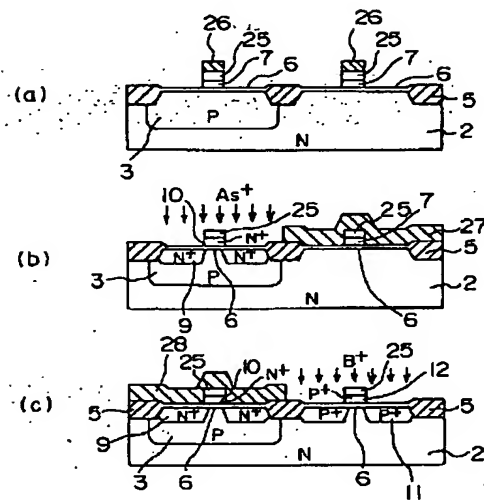
【図4】



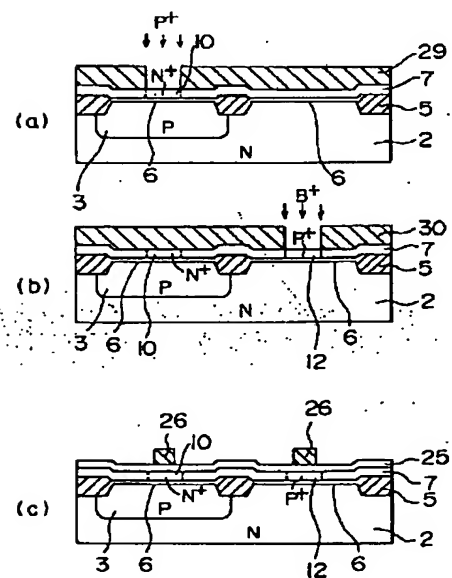
【図5】



【図6】

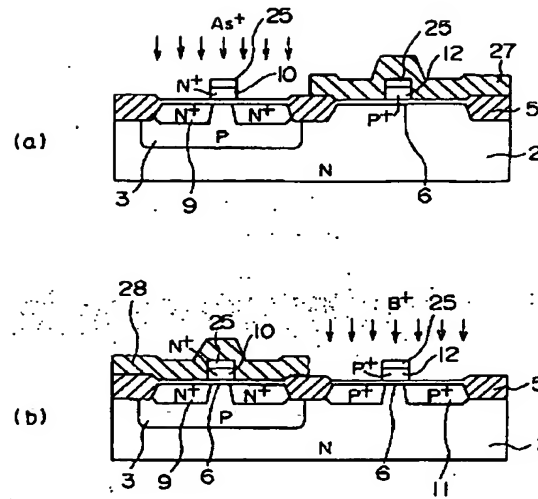


【図7】





【図8】



フロントページの続き

(58) 調査した分野 (Int. Cl. <sup>7</sup>, DB名)

H01L 21/8238

H01L 27/092